

4.2 Analogno-digitalni konvertori sa integratorima

A. Analogno-digitalni konvertor sa jednostrukom integracijom

- Blok-šema analogno-digitalnog konvertora sa jednostrukom integracijom prikazana je na slici 4.9 (za pozitivni ulazni napon $V_{in}>0$), odnosno, na slici 4.10 (za negativni ulazni napon $V_{in}<0$). Sastoji se od analognog naponskog integratora, analognog naponskog komparatora, logičkog I kola, i digitalnog brojača koji broji unaprijed u kodu 8421.
- Za funkcionisanje analogno-digitalnog konvertora sa jednostrukom integracijom potrebno je obezbjediti jednosmjerni referentni napon V_{REF} , čiji je polaritet suprotan polaritet ulaznog napona V_{in}

$$\begin{cases} V_{in} > 0 \Rightarrow V_{REF} < 0 \\ V_{in} < 0 \Rightarrow V_{REF} > 0 \end{cases} \quad (4.3)$$

Takođe, potreban je i niz pravougaonih impulsa V_f dovoljno velike učestanost $f_0=1/T_0$, koji se dovodi na jedan od ulaza logičkog I kola. Konačno, tokom trajanja analogno-digitalne konverzije podrazumjeva se da je $V_{in}=const$.

- Kada je ulazni napon pozitivan $V_{in}>0$ ($V_{REF}<0$), napon V_{rc} na izlazu iz integratora mijenja se po sljedećem zakonu

$$V_{rc} = -\frac{1}{RC} \int V_{REF} dt = -\frac{V_{REF}}{RC} t + A = -\frac{V_{REF}}{RC} t, \quad (4.4)$$

gdje je A integraciona konstanta. Polazeći od pretpostavke da je kondenzator kapacitivnosti C u početnom trenutku integracije prazan, integraciona konstanta je $A=0$. Pošto je ulazni napon pozitivan, $V_{in}>0$ ($V_{REF}<0$), relacija (4.4) predstavlja rastuću funkciju vremena.

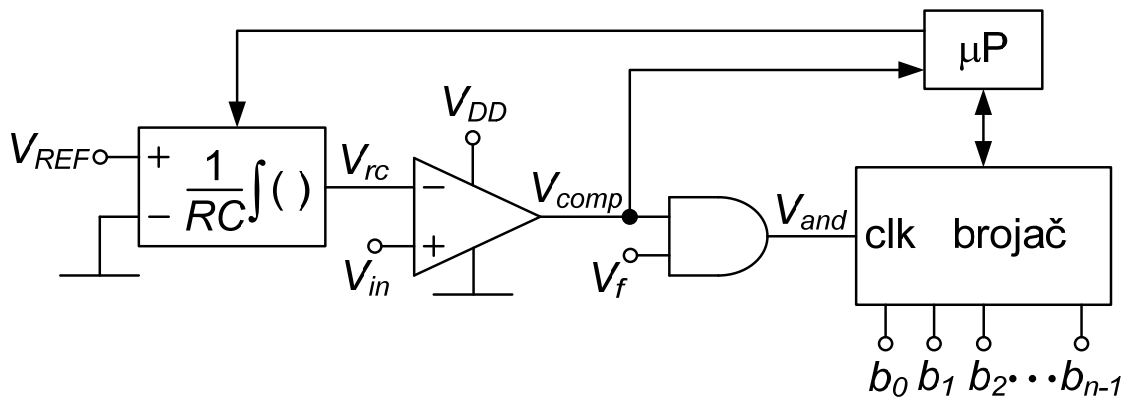
- Napon V_{and} na izlazu logičkog I kola da je relacijom

$$V_{and} = V_{comp} V_f = \begin{cases} V_f, & V_{comp} = V_{DD} \\ 0, & V_{comp} = 0 \end{cases} \quad (4.5)$$

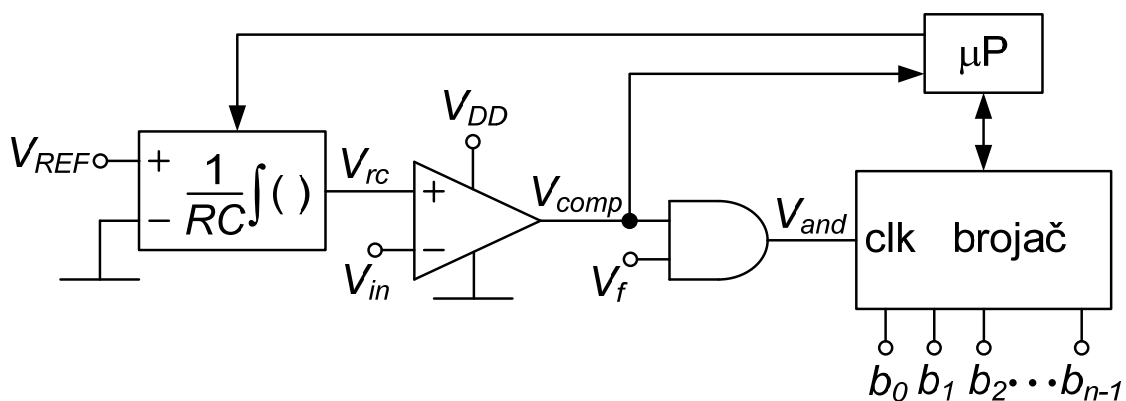
- Napon V_{comp} na izlazu iz komparatora je $V_{comp}=V_{DD}$ sve dok je $V_{in}>V_{rc}$. Trenutak $t=T$ kada se ova dva napona izjednačavaju dobija se iz uslova

$$V_{rc}(t=T) = V_{in} \Rightarrow -\frac{V_{REF}}{RC} T = V_{in}. \quad (4.6)$$

- U trenutku $t=T$ napon na izlazu iz komparatora mijenja svoje stanje i postaje $V_{comp}=0$, a samim tim i $V_{and}=0$. Tada mikroprocesor μP preuzima stanje na izlazu iz brojača, resetuje integrator, i započinje novu integraciju.



Slika 4.9. Blok-šema analogno-digitalnog konvertora sa jednostrukom integracijom kada je ulazni napon pozitivan, $V_{in} > 0$.



Slika 4.10. Blok-šema analogno-digitalnog konvertora sa jednostrukom integracijom kada je ulazni napon negativan, $V_{in} < 0$.

- Na osnovu relacije (4.6) ulazni analogni napon V_{in} može se iskazati u digitalnoj formi kao

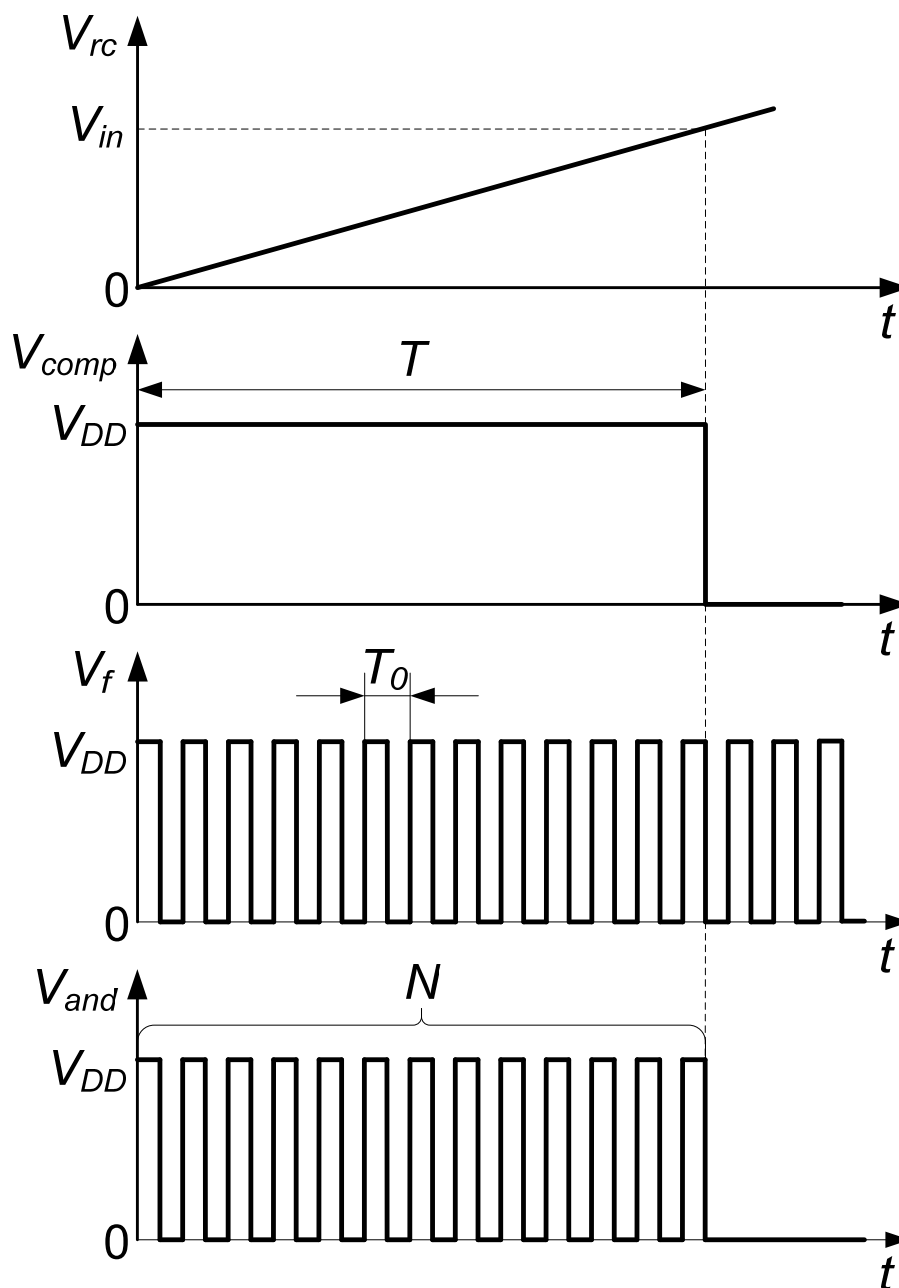
$$V_{in} = -\frac{V_{REF}}{RC} NT_0 = -\frac{T_0}{RC} (b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}) V_{REF}, \quad (4.7)$$

gdje je $N = b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}$ stanje brojača u momentu $t = T = NT_0$. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa jednostrukom integracijom kada je ulazni napon pozitivan, $V_{in} > 0$, prikazani su na slici 4.11.

- Kada je ulazni napon negativan $V_{in} < 0$ ($V_{REF} > 0$), napon V_{rc} na izlazu iz integratora mijenja se po sljedećem zakonu

$$V_{rc} = -\frac{1}{RC} \int V_{REF} dt = -\frac{V_{REF}}{RC} t + A = -\frac{V_{REF}}{RC} t, \quad (4.8)$$

gdje je A integraciona konstanta. Polazeći od pretpostavke da je kondenzator kapacitivnosti C u početnom trenutku integracije prazan, integraciona konstanta je $A = 0$. Pošto je ulazni napon negativan, $V_{in} < 0$ ($V_{REF} > 0$), relacija (4.8) predstavlja opadajuću funkciju vremena.



Slika 4.11. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa jednostrukom integracijom kada je ulazni napon pozitivan, $V_{in} > 0$.

- Napon V_{and} na izlazu logičkog I kola da je relacijom

$$V_{and} = V_{comp} V_f = \begin{cases} V_f, & V_{comp} = V_{DD} \\ 0, & V_{comp} = 0 \end{cases} \quad (4.9)$$

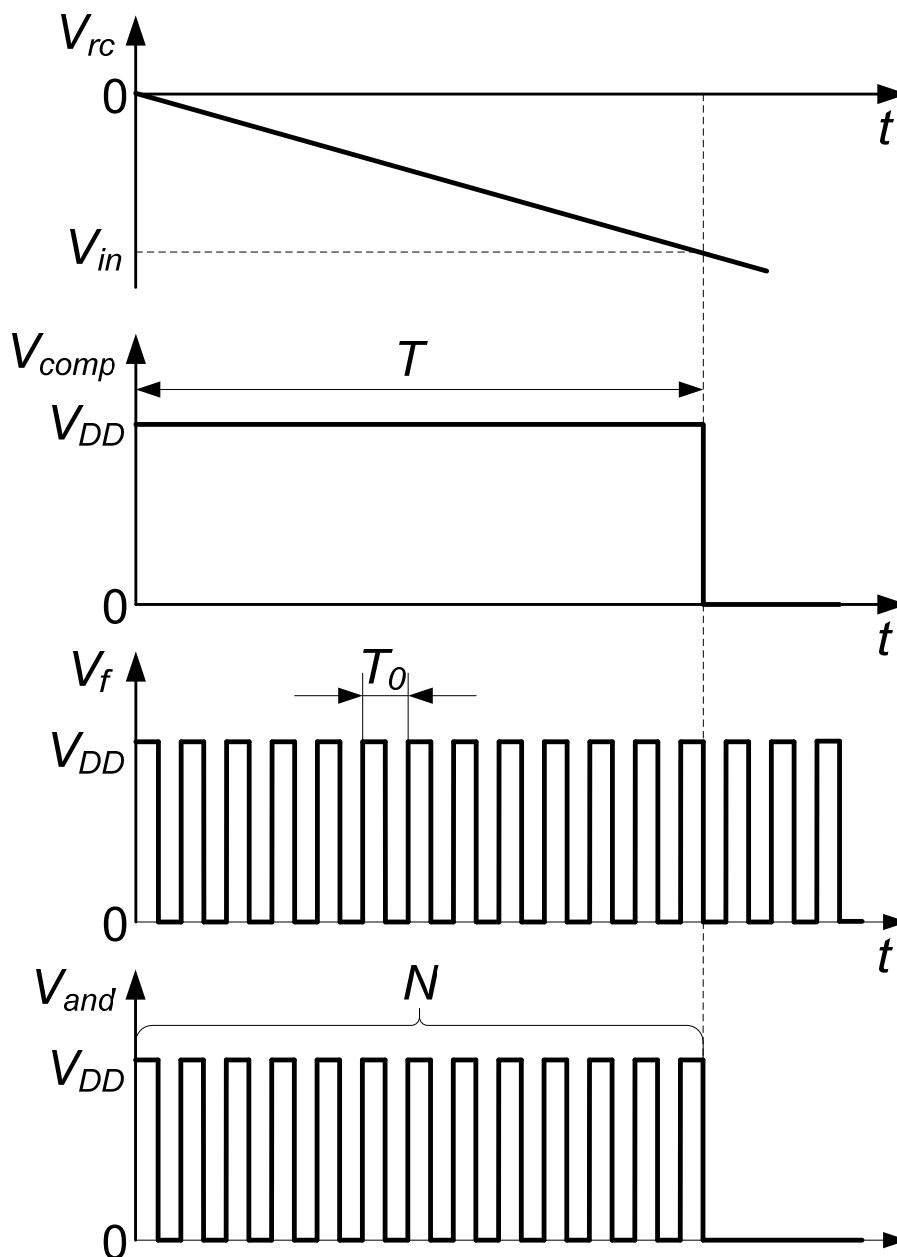
- Napon V_{comp} na izlazu iz komparatora je $V_{comp} = V_{DD}$ sve dok je $V_{in} < V_{rc}$. Trenutak $t = T$ kada se ova dva napona izjednačavaju dobija se iz uslova

$$V_{rc}(t = T) = V_{in} \Rightarrow -\frac{V_{REF}}{RC} T = V_{in}. \quad (4.10)$$

- U trenutku $t=T$ napon na izlazu iz komparatora mijenja svoje stanje i postaje $V_{comp}=0$, a samim tim i $V_{and}=0$. Tada mikroprocesor μP preuzima stanje na izlazu iz brojača, resetuje integrator, i započinje novu integraciju.
- Na osnovu relacije (4.10) ulazni analogni napon V_{in} može se iskazati u digitalnoj formi kao

$$V_{in} = -\frac{V_{REF}}{RC} NT_0 = -\frac{T_0}{RC} (b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}) V_{REF}, \quad (4.11)$$

gdje je $N=b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}$ stanje brojača u momentu $t=T=NT_0$. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa jednostrukom integracijom kada je ulazni napon negativan, $V_{in}<0$, prikazani su na slici 4.12.



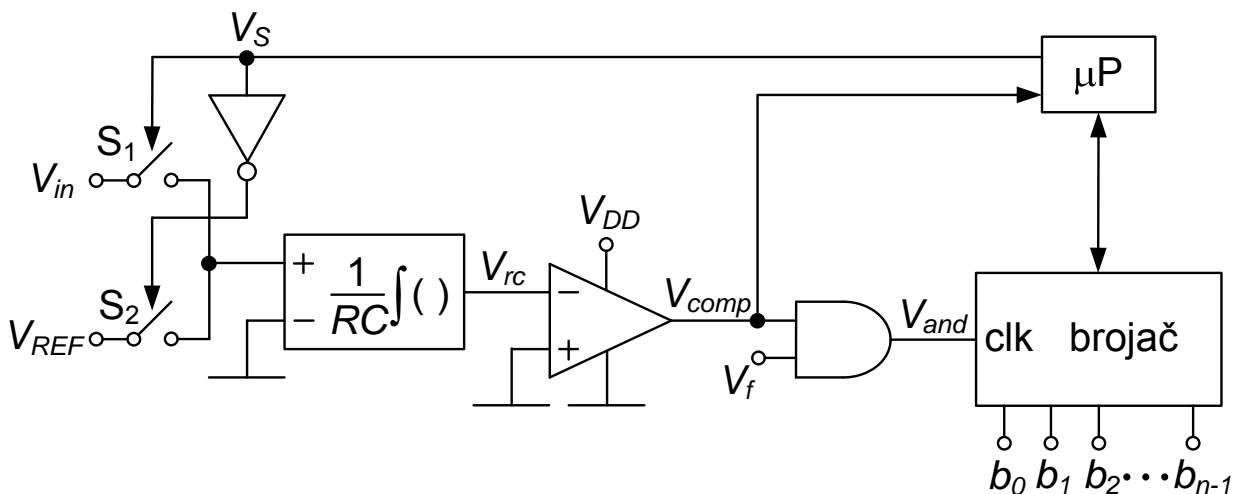
Slika 4.12. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa jednostrukom integracijom kada je ulazni napon negativan, $V_{in}<0$.

B. Analogno-digitalni konvertor sa dvostrukom integracijom

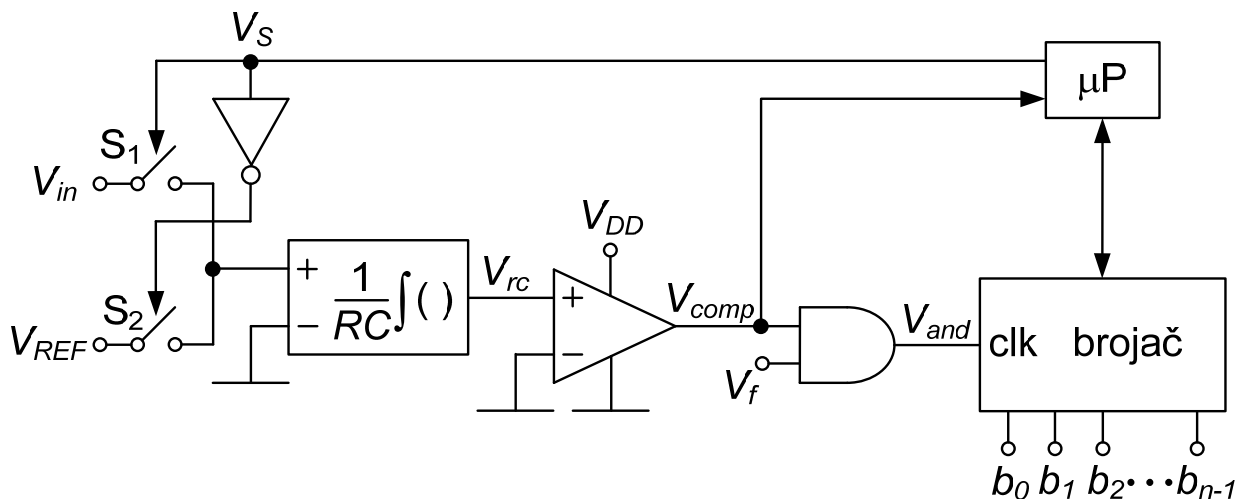
- Blok-šema analogno-digitalnog konvertora sa dvostrukom integracijom prikazana je na slici 4.13 (za pozitivni ulazni napon $V_{in} > 0$), odnosno, na slici 4.14 (za negativni ulazni napon $V_{in} < 0$). Sastoji se od analognog naponskog integratora, analognog naponskog komparatora, logičkog I kola, 2 bilateralna CMOS prekidača, logičkog invertora, i digitalnog brojača koji broji unaprijed u kodu 8421.
- Za funkcionisanje analogno-digitalnog konvertora sa jednostrukom integracijom potrebno je obezbjediti jednosmjerni referentni napon V_{REF} , čiji je polaritet suprotan polaritet ulaznog napona V_{in}

$$\begin{cases} V_{in} > 0 \Rightarrow V_{REF} < 0 \\ V_{in} < 0 \Rightarrow V_{REF} > 0 \end{cases} \quad (4.12)$$

Takođe, potreban je i niz pravougaonih impulsa V_f dovoljno velike učestanost $f_0 = 1/T_0$, koji se dovodi na jedan od ulaza logičkog I kola. Konačno, tokom trajanja analogno-digitalne konverzije podrazumjeva se da je $V_{in} = const$.



Slika 4.13. Blok-šema analogno-digitalnog konvertora sa dvostrukom integracijom kada je ulazni napon pozitivan, $V_{in} > 0$.



Slika 4.14. Blok-šema analogno-digitalnog konvertora sa dvostrukom integracijom kada je ulazni napon negativan, $V_{in} < 0$.

- Kada je ulazni napon pozitivan $V_{in}>0$ ($V_{REF}<0$), prva integracija započinje kada μP postavi logičku jedinicu na svoj izlaz prema bilateralnim CMOS prekidačima $V_S=V_{DD}$. Bilateralni CMOS prekidač S_1 je zatvoren, dok je bilateralni CMOS prekidač S_2 otvoren. Napon V_{rc} na izlazu iz integratora mijenja se po sljedećem zakonu

$$V_{rc} = -\frac{1}{RC} \int V_{in} dt = -\frac{V_{in}}{RC} t + A = -\frac{V_{in}}{RC} t, \quad (4.13)$$

gdje je A integraciona konstanta. Polazeći od pretpostavke da je kondenzator kapacitivnosti C u početnom trenutku prve integracije prazan, integraciona konstanta je $A=0$. Pošto je ulazni napon pozitivan, $V_{in}>0$ ($V_{REF}<0$), relacija (4.13) predstavlja opadajuću funkciju vremena.

- Prva integracija traje tačno utvrđeno vrijeme $t=T_1$, pa je napon V_{rc} na izlazu iz integratora na kraju prve integracije dat relacijom

$$V_{rc} = -\frac{V_{in}}{RC} T_1 \quad (4.14)$$

- Napon V_{and} na izlazu logičkog I kola da je relacijom

$$V_{and} = V_{comp} V_f = \begin{cases} V_f, & V_{comp} = V_{DD} \\ 0, & V_{comp} = 0 \end{cases} \quad (4.15)$$

- Napon V_{comp} na izlazu iz komparatora je $V_{comp}=V_{DD}$ tokom trajanja prve integracije. Kada brojač izbroji N_1 impulsa ukupnog trajanja $T_1=N_1 T_0$, brojač postavlja logičku nulu na svoj izlaz prema bilateralnim CMOS prekidačima $V_S=0$. Bilateralni CMOS prekidač S_1 je otvoren, dok je bilateralni CMOS prekidač S_2 zatvoren. Time počinje druga integracija. Napon V_{rc} na izlazu iz integratora mijenja se po sljedećem zakonu

$$V_{rc} = -\frac{1}{RC} \int V_{REF} dt = -\frac{V_{REF}}{RC} t + A = -\frac{V_{REF}}{RC} t - \frac{V_{in}}{RC} T_1, \quad (4.16)$$

gdje je A integraciona konstanta koja je jednaka naponu na izlazu iz integratora na kraju prve integracije $A=-(V_{in} T_1)/RC$. Pošto je ulazni napon pozitivan, $V_{in}>0$ ($V_{REF}<0$), relacija (4.16) predstavlja rastuću funkciju vremena.

- Druga integracija traje dok je $V_{rc}<0$. Trenutak $t=T_2$ kada napon V_{rc} na izlazu iz integratora postane $V_{rc}=0$ dobija se iz uslova

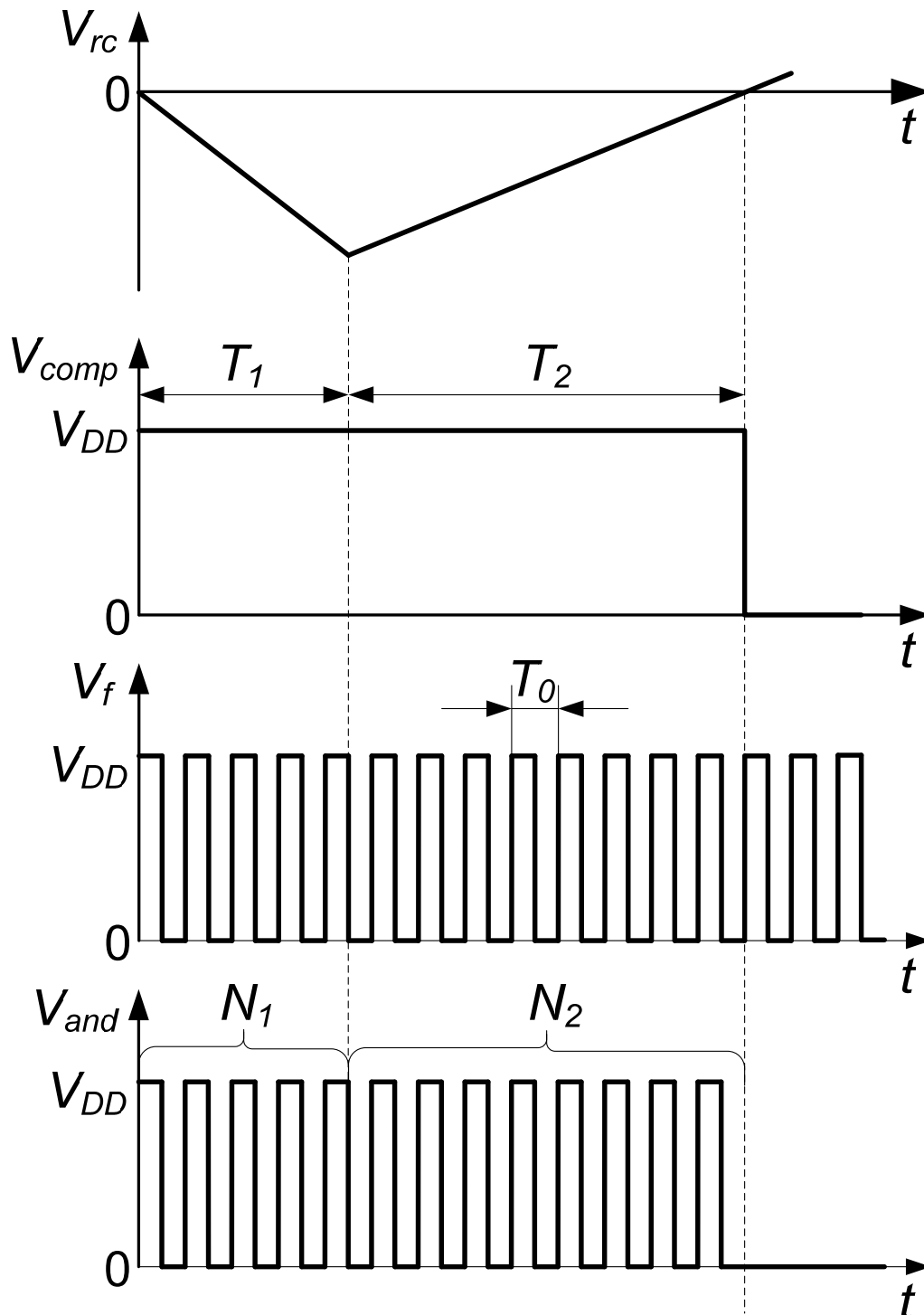
$$V_{rc}(t=T_2) = 0 \Rightarrow -\frac{V_{REF}}{RC} T_2 - \frac{V_{in}}{RC} T_1 = 0. \quad (4.17)$$

- U trenutku $t=T_2$ napon na izlazu iz komparatora mijenja svoje stanje i postaje $V_{comp}=0$, a samim tim i $V_{and}=0$. Tada mikroprocesor μP preuzima stanje na izlazu iz brojača, resetuje integrator, i započinje novu integraciju.

- Na osnovu relacije (4.17) ulazni analogni napon V_{in} može se iskazati u digitalnoj formi kao

$$V_{in} = -\frac{T_2}{T_1} V_{REF} = -\frac{N_2 T_0}{N_1 T_0} V_{REF} = -\frac{N_2}{N_1} V_{REF} = -\frac{b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}}{N_1} V_{REF}, \quad (4.18)$$

gdje je $N_2 = b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}$ stanje brojača na kraju druge integracije u momentu $t = T_2 = N_2 T_0$. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa dvostrukom integracijom kada je ulazni napon pozitivan, $V_{in} > 0$, prikazani su na slici 4.15.



Slika 4.15. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa dvostrukom integracijom kada je ulazni napon pozitivan, $V_{in} > 0$.

- Kada je ulazni napon negativan $V_{in} < 0$ ($V_{REF} > 0$), prva integracija započinje kada μP postavi logičku jedinicu na svoj izlaz prema bilateralnim CMOS prekidačima $V_S = V_{DD}$. Bilateralni CMOS prekidač S_1 je zatvoren, dok je bilateralni CMOS prekidač S_2 otvoren. Napon V_{rc} na izlazu iz integratora mijenja se po sljedećem zakonu

$$V_{rc} = -\frac{1}{RC} \int V_{in} dt = -\frac{V_{in}}{RC} t + A = -\frac{V_{in}}{RC} t, \quad (4.19)$$

gdje je A integraciona konstanta. Polazeći od pretpostavke da je kondenzator kapacitivnosti C u početnom trenutku prve integracije prazan, integraciona konstanta je $A=0$. Pošto je ulazni napon negativan, $V_{in} < 0$ ($V_{REF} > 0$), relacija (4.19) predstavlja rastuću funkciju vremena.

- Prva integracija traje tačno utvrđeno vrijeme $t=T_1$, pa je napon V_{rc} na izlazu iz integratora na kraju prve integracije dat relacijom

$$V_{rc} = -\frac{V_{in}}{RC} T_1 \quad (4.20)$$

- Napon V_{and} na izlazu logičkog I kola da je relacijom

$$V_{and} = V_{comp} V_f = \begin{cases} V_f, & V_{comp} = V_{DD} \\ 0, & V_{comp} = 0 \end{cases} \quad (4.21)$$

- Napon V_{comp} na izlazu iz komparatora je $V_{comp} = V_{DD}$ tokom trajanja prve integracije. Kada brojač izbroji N_1 impulsa ukupnog trajanja $T_1 = N_1 T_0$, brojač postavlja logičku nulu na svoj izlaz prema bilateralnim CMOS prekidačima $V_S = 0$. Bilateralni CMOS prekidač S_1 je otvoren, dok je bilateralni CMOS prekidač S_2 zatvoren. Time počinje druga integracija. Napon V_{rc} na izlazu iz integratora mijenja se po sljedećem zakonu

$$V_{rc} = -\frac{1}{RC} \int V_{REF} dt = -\frac{V_{REF}}{RC} t + A = -\frac{V_{REF}}{RC} t - \frac{V_{in}}{RC} T_1, \quad (4.22)$$

gdje je A integraciona konstanta koja je jednaka naponu na izlazu iz integratora na kraju prve integracije $A = -(V_{in} T_1) / RC$. Pošto je ulazni napon negativan, $V_{in} < 0$ ($V_{REF} > 0$), relacija (3.24) predstavlja opadajuću funkciju vremena.

- Druga integracija traje dok je $V_{rc} > 0$. Trenutak $t=T_2$ kada napon V_{rc} na izlazu iz integratora postane $V_{rc} = 0$ dobija se iz uslova

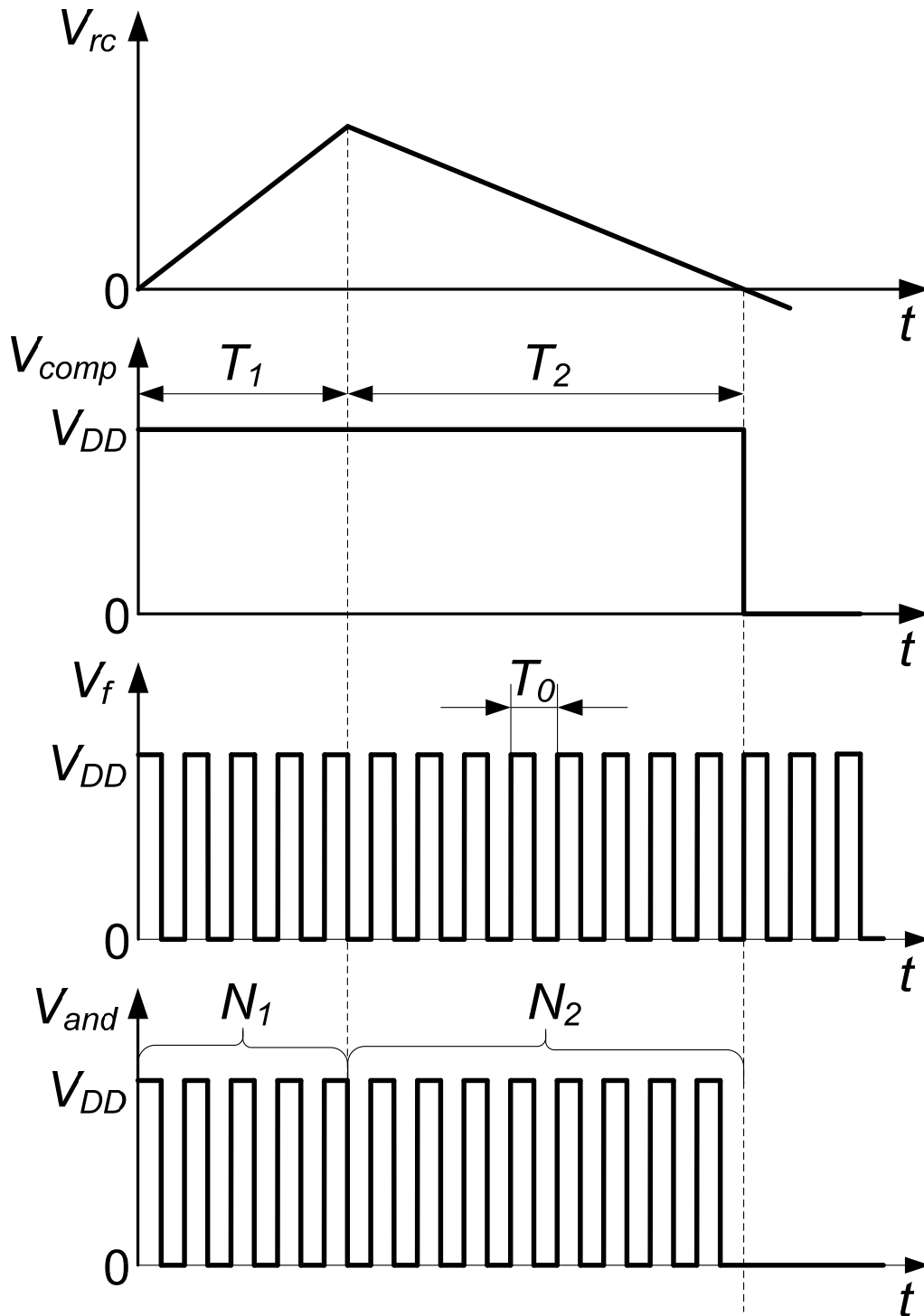
$$V_{rc}(t=T_2) = 0 \Rightarrow -\frac{V_{REF}}{RC} T_2 - \frac{V_{in}}{RC} T_1 = 0. \quad (4.23)$$

- U trenutku $t=T_2$ napon na izlazu iz komparatora mijenja svoje stanje i postaje $V_{comp} = 0$, a samim tim i $V_{and} = 0$. Tada mikroprocesor μP preuzima stanje na izlazu iz brojača, resetuje integrator, i započinje novu integraciju.

- Na osnovu relacije (4.23) ulazni analogni napon V_{in} može se iskazati u digitalnoj formi kao

$$V_{in} = -\frac{T_2}{T_1} V_{REF} = -\frac{N_2 T_0}{N_1 T_0} V_{REF} = -\frac{N_2}{N_1} V_{REF} = -\frac{b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}}{N_1} V_{REF}, \quad (4.24)$$

gdje je $N_2 = b_0 2^0 + b_1 2^1 + \dots + b_{n-1} 2^{n-1}$ stanje brojača na kraju druge integracije u momentu $t = T_2 = N_2 T_0$. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa dvostrukom integracijom kada je ulazni napon negativan, $V_{in} < 0$, prikazani su na slici 4.16.



Slika 4.16. Vremenski dijagrami karakterističnih napona analogno-digitalnog konvertora sa dvostrukom integracijom kada je ulazni napon negativan, $V_{in} < 0$.